

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-364609

(43)公開日 平成4年(1992)12月17日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/06				
G 0 6 F 1/10				
H 0 3 L 7/00	D	9182-5J	H 0 3 L 7/06	J
		9182-5J	G 0 6 F 1/04	3 3 0 A
		7368-5B		

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-333538

(22)出願日 平成3年(1991)12月17日

(31)優先権主張番号 07/633819

(32)優先日 1990年12月26日

(33)優先権主張国 米国 (U S)

(71)出願人 590000798

ゼロックス コーポレーション
XEROX CORPORATION
アメリカ合衆国 ニューヨーク州 14644
ロチェスター ゼロックス スクエア
(番地なし)

(72)発明者 エドワード エイ リツチリー
アメリカ合衆国 カリフォルニア州
94040 マウンテン ヴィュー クリサン
ト 226-1929

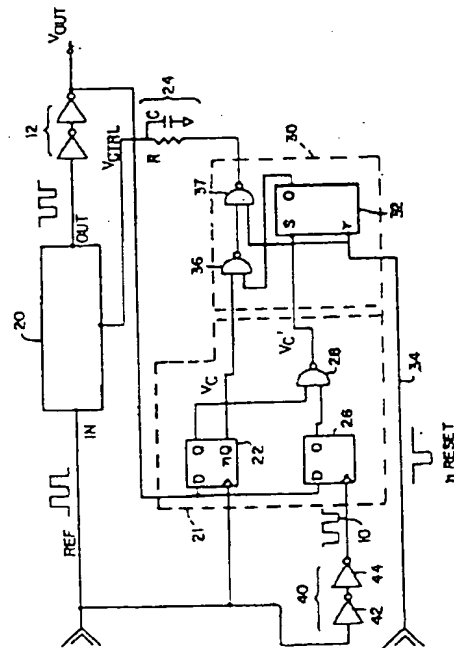
(74)代理人 弁理士 中村 稔 (外7名)

(54)【発明の名称】 クロック同期のための遅延ロツクループ回路

(57)【要約】 (修正有)

【目的】 同期を得る際の不安定性及びリセットからの長い始動時間の問題を解決する。

【構成】 クロック信号 V_{out} を、多負荷間に分散し、クロック信号と基準信号 REF との間の位相差が位相検出器 22 によって検出されるとき基準信号と時間整合し、位相検出器が、低域フィルタ 24 内のコンデンサ C を充電することにより、分散前にクロック信号が通過させられる可変遅延線 20 へ制御電圧 V_{ctrl} を送り返すループ回路に、遅延回路 40 を設け、基準信号を時間的に遅延させて遅延基準信号 10 を発生する。位相検出器 21 を設け、基準信号とクロック信号との間の位相差を検出し、遅延基準信号とクロック信号との間の位相差を検出し、及び複数の出力電圧 V_c 、 V_c' を発生する。論理回路 30 を設け、制御電圧を規制することによって可変遅延線を駆動する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 クロック信号 (V_{clk}) を多重負荷間に分散し、及び、前記クロック信号 (V_{clk}) と基準信号 (REF) との間の位相差が位相検出器 (22) によって検出されるとクロック信号を前記基準信号 (REF) と時間整合し、前記位相検出器 (22) は、低域フィルタ (24) 内のコンデンサ (C) を充電することにより、分散前に前記クロック信号 (V_{clk}) が通過させられる可変遅延線 (20) へ制御電圧 (V_{ctrl}) を送り返すようになっているクロック同期のための遅延ロックスループ回路において、前記基準信号 (REF) を時間的に遅延させて遅延基準信号 (10) を発生するための遅延手段 (40) と、前記基準信号 (REF) と前記クロック信号 (V_{clk}) との間の位相差を検出し、前記遅延基準信号 (10) と前記クロック信号 (V_{clk}) との間の位相差を検出し、及び複数の出力電圧 (V_{out})、(V_{out}') を発生するための位相検出手段 (21) と、前記制御電圧 (V_{ctrl}) を規制することによって前記可変遅延線 (20) を駆動するための論理手段 (30) と、前記制御電圧 (V_{ctrl}) を規制する初期状態へ前記論理手段 (30) をリセットし、及び、前記可変遅延線 (20) 内に最小位相遅延を発生する状態に前記コンデンサ (C) を充電するためのリセット手段 (34) とを備えて成り、前記位相検出手段 (21) と前記可変遅延線 (20) との間に介装された前記論理手段 (30) は、前記位相検出手段 (21) へ直接に、及び前記可変遅延線 (20) へ前記コンデンサ (C) を介して接続されていることを特徴とする遅延ロックスループ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、局所的に再生されて複数負荷間に分散されるクロック信号を基準クロック信号と時間同期させるための装置に関する。

【0002】

【従来の技術】 高速多重チップ同期コンピュータにおいては、クロック信号を全てのチップへ極めて注意深く送ることが必要である。システムの相異なる部分におけるクロック信号の有意端相互間の時間的スキューまたは差異を1ナノ秒またはそれ以下に保持することが一般に必要である。低電力マスタ基準信号から強力なクロック信号を再生するための分散システムは、必要とする大量の電力の故に、中央クロックよりも望ましい。この再生は、全ての再生クロック信号を最小スキューをもって生成するように、コンピュータ内の全ての場所において且つ増幅段の存在において行なうことが必要である。電圧制御増幅器、位相周波数検出器及びアナログ可変遅延線を用いるフェーズロックスループ回路が、コンピュータクロックを同期するために一般に用いられている。可変遅延線を用いるフェーズロックスループ回路を、本明細書においては、「遅延ロックスループ」と呼ぶ。

【0003】 一連の電圧制御遅延素子を基礎とするアナログ遅延線を用いる遅延ロックスループは、クロック再生回路に対するより簡単且つより多様な手段である。この遅延ロックスループ回路は、同じ周波数のクロック信号相互間の位相差を検出し、この位相差に伴って変化する誤差電圧を生成する。この電圧を送り返して可変遅延線を制御することにより、一つのクロック信号のタイミングを進ませるかまたは遅らせて、その立上がり端を基準信号の立上がり端と整合させることができる。しかし、従来の遅延ロックスループ回路には大きな欠点がある。いずれの遅延線及び増幅器も、制御電圧が最大になるときの最小到達可能遅延を有す。クロック信号が基準信号から引き出されるようになっているシステムにおいては、1/2周期が最小到達可能遅延よりも若干小さくなるまでクロック周波数を上げると、位相検出器はこのシステムに、より小さい遅延においてより速く動作する点を探させる。明らかに解るように、これは達成不可能である。若干高い周波数によってのみ、例えば、最小遅延が1.5周期に等しくなるときに、リセットから安定な同期が可能になる。

【0004】

【発明が解決しようとする課題】 最短時間内に安定なロックに到達するクロック再生システムを提供するという問題は、ローカルクロック信号の位相が基準クロックの位相に対して先行しているが遅れているかとは無関係に、高速コンピュータ分野において設計者が目標とする主要な問題となっている。遅延線回路の分解能を犠牲にすることなしに、及び実施不能なほどに多数の段を追加することなしに、最小遅延問題を回避することができれば、コンピュータ業界に多年にわたってあった要求を満たすことができるであろう。

【0005】 本発明は、アナログ可変遅延線を使用するフェーズロックスループ回路において同期に到達する際の不安定性及びリセットからの長い始動時間の問題を解決するようにした装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明においては、リセットパルスが印加されたとき、最初、可変遅延線をその最小位相遅延状態にする。次いで、リセットロジックが、遅延線制御電圧を下げることに、クロック信号を基準信号に対して遅くする。クロック信号が十分に遅延させられ、クロック信号を基準信号と整合させるにはより多くの遅延が必要であると位相検出器が決定すると、回路ロジックは位相検出器が遅延線を制御することを許す。前記位相検出器が制御を行なう点が、クロック信号のより多くの遅延が検出される点を十分に越えており、これにより、検出される位相差における全ての「ジッタ」が克服される、ということを、第2の遅延位相検出器が確実にする。リセットは、より安定なロックを確保するため、周波数が変化させられるときの始動時にお

いて、または他の時において行なわれる。

【0007】本発明の前記及び他の目的は、図面を参照して行なう本発明の実施例についての以下の説明からよりよく理解される。

【0008】

【実施例】図1に、高速コンピュータにおいて現在用いられている周波数の数倍の周波数を受容することのできるクロック同期のための遅延ロックループの実施例を示す。この実施例遅延ロックループの速度は1秒当たり1千万命令程度である。低電力クロック信号(REF)は、可変遅延線20を通過した後、逆転増幅器12により、高電力クロック信号(V_{clk})として再生される。遅延線20は、一連のタップ付き段の遅延素子を基礎として構成されている。図示のように、遅延線20は、その出力(OUT)をその入力(IN)に対して逆転するための追加の段を有す。これにより、この装置は低周波クロック信号(V_{clk})に対してより少ない合計遅延で働き、より大きい安定性を与えることができる。クロック信号(V_{clk})は、その位相を基準信号(REF)の位相と比較するのに用いられる位相検出回路21へ送り返される。位相検出回路21は第1及び第2のエッジトリガディジタルフリップフロップ回路22及び26を位相検出器として有す。これら検出器は、いずれも、第1のNAND論理ゲート28の入力端子に接続されている。基準信号(REF)は、第1のディジタル位相検出器22に直接に与えられ、及び、若干遅延した基準信号10を発生する2つのインバータ42、44を介して第2の遅延位相検出器26に与えられる。位相検出回路21からの出力(V_c)、(V_c')はリセット論理回路30に与えられる。このリセット論理回路は、セット入力端子s、リセット入力端子r、及びラッチ出力端子Qを有する論理回路を含んでいる。このリセット論理回路はまた第2及び第3のNAND論理ゲート36及び37を含んでおり、これら論理ゲートは、互いに、セットリセット論理回路32の出力端子Qに、接続されている。位相検出回路21の一つの出力 V_c' は、抵抗Rを介してコンデンサCを V_{ctrl} の値に充電することによってセットリセット論理回路32を一つの状態に、即ち、可変遅延線20を制御することを他の出力 V_c に許す状態に、セットするのに用いられる。リセット回路34は、これを介してリセットパルスnResetが加えられるのであり、リセット論理回路に接続されている。

【0009】以下の説明のため、種々の論理回路の状態を論理0及び論理1として記す。即ち、論理0はゼロボルトに近い、またはそれ以下の電圧であり、論理1はそれよりも高い電圧である。これら電圧は論理装置の特性に応じて定める。クロック信号 V_{clk} が基準信号REFよりも遅れていとなると、例えばシステムのターンオンにおける回路論理の初期状態は下記ようになる。即ち、第1のディジタル位相検出器22の一つの出力端子

Qは論理0となり、その相補出力端子nQは論理1となる。同じ論理状態が第2の遅延ディジタル位相検出器26の端子にも存在する。第1の論理ゲート28の両方の入力端子が論理0になると、位相検出回路出力 V_c' は論理1となる。セットリセット回路32は論理1の出力にセットされる。

【0010】クロック信号 V_{clk} を基準信号REFと同期させるため、次の動作が生ずる。即ち、第1に、コンデンサCを最大電圧 V_{ctrl} に充電するのに十分な時間の負に傾くリセットパルスnResetが、リセット回路34を介して、セットリセット論理回路32のリセット端子に、及び第3の論理ゲート37の一つの入力端子に加えられる。これは、システム始動時に、または安定なロックが望まれるときに、自動的に行なわれる。セットリセット論理ゲート32の出力端子Qは、従って、論理0になってそこにラッチされたままとなり、第3の論理ゲート37はディスエーブルされる。即ち、論理ゲート37の一つの入力端子は論理0になっているから、論理ゲート37の他の入力端子における論理状態が変化しても、論理1になっているその出力に影響を与えない。第3の論理ゲート37の出力電圧は、コンデンサCを、可変遅延線20による到達可能な最小遅延時間に対応する最大値の制御電圧 V_{ctrl} に充電する。セットリセット論理回路32の出力端子はまた第2の論理ゲート36の一つの入力端子に接続されており、従って、リセットパルスnResetが加えられるときに、この点に論理0を与える。従って、第2の論理ゲート36はディスエーブルされる。論理1になっているその出力は第3の論理ゲート37の入力端子に加えられる。リセット信号線34がその論理1の元の状態に復帰すると、第3の論理ゲート37の出力は論理0となり、コンデンサC上の制御電圧 V_{ctrl} 電荷は放電しはじめる。電圧 V_{ctrl} が低下すると、これに従って可変遅延線20の位相遅延が増加し、クロック信号 V_{clk} と基準信号REFとの間の位相遅延が増加させられる。この位相遅延は、2つのクロック信号 V_{clk} 及びREFを同期させるためにより大きい位相遅延が必要であるということを示す。第1の位相検出器22及び第2の遅延位相検出器26が検出するまで、継続する。この時点で、各位相検出器22、26の出力端子Qは論理1となり、第1の位相検出器22の相補出力端子nQは論理0となる。そこで、第1の論理ゲート28の両方の入力端子は論理1となり、その出力 V_c' は論理0となる。論理0がセットリセット回路32のセット端子sに加えられると、出力状態が論理1に変化させられ、第2の論理ゲート36がイネーブルされる。これにより、第1の位相検出器出力 V_c' は第2及び第3の論理ゲート36及び37の出力を変化させ、これにより、コンデンサCは制御電圧 V_{ctrl} に充電される。従って、制御電圧 V_{ctrl} は、2つの信号 V_{clk} 及びREFが同期するまで、クロック信号 V_{clk} と基準信号REFとの間の位相

BEST AVAILABLE COPY

差に従って規制される。第2の遅延位相検出器26は、第1の位相検出器22が制御を行なうときに、クロック信号 V_{clk} の立下がり縁が基準信号REFの前縁立上がり部を十分に越え、信号 V_{clk} 及びREF上の位相雑音のために第1の位相検出器22が最小達成可能遅延よりも小さい遅延を要求するということなくなる、ということを実証する。

【0011】この回路論理を更に検討すると解るように、リセットパルスが加えられるときにクロック信号 V_{clk} が基準信号REFから遅れないでこれに先行すると、位相検出器22は直ちに遅延線20を制御し、同期が得られるまで遅延を増加させる。ターンオンから安定ロックまでのタイミングの変化を図2ないし図3に示す。図2は、リセットパルス $nReset$ の印加によるリセット過程開始直後のクロック信号 V_{clk} の波形56と基準信号REFの波形54とを時間的に比較するタイミング線図である。この場合、最小達成可能位相遅延 T_{pd} はクロック信号 V_{clk} の波形56の1/2周期よりも大きいものと仮定する。

【0012】図3の(A)は、リセットパルス $nReset$ が解除され、そして制御電圧 V_{ctrl} が低下し始めた直後のクロック信号 V_{clk} のタイミングを示す線図である。線図において右へ移動した波形58で示すように、クロック信号 V_{clk} の遅延が増加し始める。図3の(B)は、第1の位相検出器22が可変遅延線20の制御を行なうことができるようになった時点でのクロック信号 V_{clk} のタイミングを示す線図である。

【0013】図3の(C)は、第1の位相検出器22による制御電圧 V_{ctrl} の規制によって生じた一層の遅延によってクロック信号 V_{clk} が基準信号REFと同期させられた後のクロック信号 V_{clk} のタイミングを示す線図である。クロック信号 V_{clk} の波形62は基準信号REFの波形54と同相になっている。

【0014】

【発明の効果】本発明においては、リセットからの始動時間が最小になり、且つ、アナログ可変遅延線を用いるフーズロックループ回路内の同期を得る際の不安定性が防止される。また、最小位相遅延時間をクロック信号の1/2周期よりも小さくすることを必要とするかかる回路の制限が克服され、且つ、遅延線に沿って通過させられる最高値までの周波数での動作が可能になる。また、従来の高速コンピュータにおいて用いられている周波数の数倍であり、速度が1秒当たり1千万命令程度と

いうような周波数に簡単に適応することができる。

【図面の簡単な説明】

【図1】クロック同期のための遅延ロックループのブロック線図である。

【図2】リセットを開始した時点におけるクロック信号と基準信号との関係を示すタイミング線図である。

【図3】遅延線制御電圧を低下させるときのクロック信号の位相変化と、位相検出器が遅延線の制御を行なうときのクロック信号の位相変化と、位相検出器が可変遅延線を制御してクロック信号と基準信号との間の同期を得た後のクロック信号とを示すタイミング線図である。

【符号の説明】

- 10 遅延基準信号
- 12 クロック増幅器
- 20 可変遅延線
- 21 位相検出回路
- 22 第1のデジタル位相検出器
- 24 低域フィルタ
- 26 第2の遅延デジタル位相検出器
- 28 第1の論理ゲート
- 30 リセット論理回路
- 32 セットリセットフリップフロップ回路
- 34 リセット信号線
- 36 第2の論理ゲート
- 37 第3の論理ゲート
- 40 固定遅延素子
- 42 第1のインバータ
- 44 第2のインバータ
- 50 信号振幅軸
- 52 時間軸
- 54 基準信号波形
- 56 リセットにおけるクロック信号波形
- 58 リセット直後のクロック信号波形
- 60 位相検出器が最初に制御を行なうときのクロック信号波形
- 62 クロック信号が基準信号と同期したときのクロック信号波形
- $nReset$ 遅延リセット信号
- REF 基準信号
- V_{c1} 第1の位相検出器出力制御電圧
- V_{c2} 第2の遅延位相検出器出力制御電圧
- V_{ctrl} 遅延線制御電圧
- V_{clk} クロック信号

BEST AVAILABLE COPY

The diagram shows a digital circuit 10. It has a REF input and a RESET input. A block 20 takes an input and produces an output. This output goes to block 12 and also to a node VCTRL. Block 12 has two inverters. The output of the first inverter goes to block 21, which is a D flip-flop. The output of the second inverter goes to block 22, which is a D flip-flop. The output of block 21 goes to block 26, which is a D flip-flop. The output of block 22 goes to block 28, which is a D flip-flop. The output of block 26 goes to block 30, which is a D flip-flop. The output of block 28 goes to block 36, which is a D flip-flop. The output of block 30 goes to block 37, which is a D flip-flop. The output of block 36 goes to block 40, which is a D flip-flop. The output of block 37 goes to block 42, which is a D flip-flop. The output of block 40 goes to block 24, which is a D flip-flop. The output of block 42 goes to block 24. The output of block 24 is VOUT. The circuit also includes a Vc signal, a Vc' signal, and a block 24.

BEST AVAILABLE COPY